Optimized Standard Cell Generation for Static CMOS Technology

S. Samavi, A. Torkian, and F. Khadivi
Department of Electrical and Computer Engineering, Isfahan University of Technology

Abstract: Fabrication of an integrated circuit with smaller area, besides reducing the cost of manufacturing, usually causes a reduction in the power dissipation and propagation delay. Using the static CMOS technology to fabricate a circuit that realizes a specific logic function and occupies a minimum space, it must be implemented with continuous diffusion runs. Therefore, at the design stage, an Eulerian path should be found for the logic function. Every discontinuity causes an increase in the area as well as a reduction in the clock rate and performance.

The realization of a logic function using the static CMOS technology is done through different methods, most of which are based on the Uehara's method. In this paper, an algorithm is suggested that finds the Eulerian path and allows the implementation of the circuit with continuity in the diffusion region that results in minimum area. In a case where there is no Eulerian path, the possible sub-paths are found. In addition, the algorithm gives information that helps the layout generation.

Keywords: VLSI, Uehara's method, Static CMOS, Continuous diffusion, Standard cell.
تولید جانمانی ۱ به معنی تبدیل تصویف منطقی یک سیستم به ماسک‌های فیزیکی به منظور ساخت مدارهاست. پیچیدگی این فرآیند به قدری است که روش سلول استاندارد ۲ در بین طراحان رواج ندارد. پس در کاهش استفاده از این روش طرح را قطعات کرچکر تریم می‌کنند تا پیچیدگی کاهش یابد. تولید جانمانی به زیر فرآیندهای دیگری تضییم می‌شود که عبارتند از:

- تحلیل منطقی و تغییرات تکنولوژی؛ تولید سلول،
- جابجایی، مسیریابی کلی و جزئی و نشر مسیرها.

به تمام فرآیندهای بالا بر بیانات سلول‌های استاندارد قرار دارند. هر فرآیند تغییرات تکنولوژی، سلول را یک کتابخانه استاندارد اتخاذ و در مورد نظر قرار می‌گیرند. این تریم برای کمک کردن سطح کل جانمانی با راه‌های سلولی که در کتابخانه قرار دارد، درایای VLSI ساخت کمکی باشد. از طرف دیگر طرح منطقی خود را تنکبندی یک سلول جدید به کتابخانه روش سلول استاندارد اضافه می‌کند.

ساخت هر سلول برای ساخت به صورت زیر محاسبه می‌شود:

\[ \text{ارتفاع سلول} = \frac{\text{عرض سلول} \times \text{ارتفاع سلول}}{\text{عرض سلول}} \]

۱. تعیین انتقالات + تعیین ورودی = برگزی وارد پایه

ارتفاع سلول خود تابع پهنای ترانزیستور و فشردن سیبی‌دستی است. افزایش فشردن سیبی‌دستی باعث کاهش ارتفاع و کمک مساحت می‌شود که این خالص و برگزی وارد پایه نیز به تکنولوژی ساخت بین‌مناطق دارد. همان‌گونه که ارتفاع سلول در تکنولوژی ساخت با دو لایه فاز نسبت به تکنولوژی ساخت یک لایه فاز کمتر است [۱].

طرح‌ها با پوش باز، نیاز به سلول‌های منظم دارد. بنابراین سلول‌ها باید هم ارتفاع باشند. نا در موقعب در این ناحیه تغییر می‌کند. مسکن‌های خطوط (VSS) و (VDD) سلول‌ها با یکدیگر متقاطع می‌شوند.

استناد: سال ۲۱، شماره ۷، اسفند ۱۳۸۱

۱۲۸۱
فکل 1 - مقایسه در روش ساخت برای نمای منطقی
الف - ناپیوستگی در ناحیه نفوذ
ب - پیوستگی در ناحیه نفوذ

\[ F = (A + B)C + D \]
شیلاتی [9] اگر چه روش ای ها را برای سالولیای

پیشنهاد مانند DRAM معمولاً مناسب دانل می‌باشد اما در قطعه‌های خاص

SDRAM و EDO-DRAM روشی دیگری را پیشنهاد

می‌کند. کارلسون [10] روش‌های بیشتری سالولیا می‌پرس

سری اولر ارائه داده است که به آن عدم وابستگی درکننده

می‌گوید. در این روش بیشتری را برای ناحیهٔ ترانزیستورهای

شکل [p] بجا آن چه برای ناحیه n انجام گیرد صورت می‌دهد.

در واقع روش اولریا را به طور جدایی دوبار استفاده می‌کنند.

به این ترتیب درجاتی در طراحی انواعی می‌پایاند ولی

انعطافات در خطوط پلیسیلان ایجاد خواهد شد.


سالول و تبدیل بیابانی منطقه به مدار ترانزیستوری پرداخته است.

در این راه از ترانزیستورهای اضافی برای به دست آوردن

سالول با تسدیل پیوسته استفاده کرده است که به نظر می‌رسد این

کار با هدف حذف کردن سالول منطقه ای است.

در مرجع [12] سعی شده است با استفاده از شیلاتی هایپلید

SERIF آزمایش‌هایی یک ابزار منطقه به دست آید و لی

مواقعی وجود دارد که این روش قادر نیست سیر اولر را پیدا

کند. در اینجا الگوسیستمی را پیشنهاد می‌کنیم که سیر اولر

پیشبرد را برای یک سالول منطقه پیدا می‌کند. جان‌جه سیر

مذکر وجود داشت به سیر مستری ارائه خواهد شد که

حداقل بازیگری و در تأثیر تغییر ایجاد می‌کند.

γ گروپ اهرا

در طراحی جامعیتی یک تابع منطقه با تکنولوژی CMOS

خطوط پلیسیلان به طور مشابه از هرو دو تابع منطقه

و عدد چند در نوع ترانزیستور را به وجود می‌آورند. بنابراین

برای تابع پیشنهاد جامعیتی ترانزیستوری هر دو تابعی

p یکسان که و این بندی مناسب که باشد در ناحیهٔ سیر

سیر اولر یکسانی داشته باشد.
$X = (A + B)(CD + EF)(G + H)$

دیده‌نابیننده آب و هوای واقعی

$F = A(B + C)(D + E)$

دیده‌نابیننده آب و هوای واقعی

دیده‌نابیننده آب و هوای واقعی

دیده‌نابیننده آب و هوای واقعی

شکل 2 - این تابع مدل گرافیکی پیاده‌سازی می‌شود.

سال 1381 شماره 20 اسفند

19
آن تابع تحت هیچ شرایطی مصدر اولی ویژه نخواهد داشت.

در صورتی که تعداد ورودیهای یک گیفت (وریج) فرد، همکاری آنها و ورودیهای اصلی سلول باشد، به مجموعه افلاسی که این گیفت در گراف تولید می‌کند، یک گرده فرد (وریج) خالص می‌گویند. در صورتی که تعداد گرده‌های فرد خالص سری‌های هم وسیعی از در باشد، آن تابع تحت هیچ شرایطی مصدر اولی ویژه نخواهد داشت.

• با استفاده از تعریف بالا در شروع اجرای الگوریتم، می‌توان توابع راک دارای مصدر اولی ویژه تحلیل داد و به یک ترتیب سرعت کار الگوریتم واژگشان دهم.

در شکل (9) شکل که الگوریتم پیشنهادی ارائه می‌شود، چندین تابع (f) دارای یک رنگ برای هر دست می‌باشد. در این رنگ، مصدر اولی طراحی شده است، همانند پیچیدگی و همچنین تعداد، نشان می‌دهد.

در تابع بالا از ارائه به نام node و link مستند گرده فرد که به ترتیب در زمان نمایش‌های مداری و گراف مختصی داشته، به این ترتیب یک تابع منطقی از داده‌های مداری و گراف مختصی به فرد ندارد، از همین‌خاطر برای هر دست آریون مصدر اولی یک تابع منطقی استفاده می‌کنیم.

در این نمونه، الگوریتم برای کاهش منطقی کافی است. اما تمام سیرهای اولی که در اینجا یاد می‌کنیم، با این کار می‌توان سیرهایی را انتخاب کرد که کمترین تعداد اتصالات به او می‌رسند. شکل (1) به شکلی و اجرای گام‌های گام کردن الگوریتم را نشان می‌دهد.
4- نتایج شبیه‌سازی
برای اطمینان در درستی الگوریتم ترجمه‌ای به زبان C++ نوشته و مثال‌های متعددی توسط این ترجمه‌ای اجرا شد. شکل (V) یک نمونه از نتایج به دست آمده را نشان می‌دهد.

شکل (V) تابع پولی به صورت
یک معادله شده باشد
یک معادله باشد

جدول (1) را برای طراحی جامعیت توضیح می‌دهم.

جدول (1) پایه‌سازی این ترجمه‌ای را نشان می‌دهد.

جدول (1) خروجی نرم‌افزار است که توسط این اطلاعات
Find_Eulerian_Path(t)
Begin
    n:=count_odd_nodes(t);
    If (n = 2) then
        Begin
            while (n>0) do
                begin
                    s := an_unmarked_node(t);
                    mark_odd_node(s);
                    n := n-1
                    i := 1
                    current := s;
                    repeat
                        path_list(i).node := current;
                        link_to_next := an_unmarked_link(t, current);
                        mark_link(link_to_next);
                        current := next_node_of_current(t, current, link_to_next);
                        while (current is a dead_end) and (path is not complete) and (current ≠ s) do
                            begin
                                unmark_all_links_connected_to(current, t);
                                current := path_list(i).node;
                                if (there exists unmarked link connected to current) then
                                    begin
                                        link_to_next := an_unmarked_link(t, current);
                                        mark_link(link_to_next);
                                        current := next_node_of_current(t, current, link_to_next);
                                    end;
                                else
                                    begin
                                        i := i-1
                                    end;
                            end;
                    end;
                    i :=i+1;
                    path_list(k).link := link_to_next;
                    until (current = s) or (path is complete);
                    if (path is complete) then
                        print (path_list);
                        n := -1;
                    end;
        end;
    end;
$F = (A + B)(D + E)$

2 = تعداد گره‌های فرد
3 = گره شروع

مسیر ناموفق (به علت توقف در 4): 4 C 4 D E

مسیر ناموفق (به علت عدم ادامه مسیر): 4 C

مسیر اولین: 4 C 4 E D

(این مسیر برای گراف دوگان هم صادق است)

$F = (A + B + C)D + E$

5 = تعداد گره‌های فرد
1 = گره شروع

مسیر اولین: 1 A B C 3 D Y E 1

(این مسیر برای گراف دوگان هم صادق است)

$F = (A + B)(H G + C D)(E + F)$

5 = تعداد گره‌های فرد
1 = گره شروع

مسیر ناموفق (به علت توقف در 1): 1 A B

تغییر گره شروع:

مسیر ناموفق (توقف در 3): 3 A B 3 C 5 D 4 G

مسیر ناموفق (به علت عدم انتخاب جدید): 3 A B 3 C 5 D 4 G

مسیر اولین: 3 A B 3 C 5 D 4 G

(این مسیر برای گراف دوگان هم صادق است)

شکل 6 - اجرای سه مثال با استفاده از الگوریتم پیشنهادی
جدول 1- اعلام سیم‌ایلر توسعه خروجی ترم‌الازار برای تابع
\[ \bar{X} = A(B + C + D)(E + F) + GH + IJ \]

<table>
<thead>
<tr>
<th>ورودی‌های مدار (مسیر ایلر)</th>
<th>اتصال به تنظیم خروجی</th>
</tr>
</thead>
<tbody>
<tr>
<td>G  H  F  E  I  J  A  D  C  B</td>
<td>U</td>
</tr>
<tr>
<td>4  4  5  3  1  1  3  7  6  3</td>
<td>1</td>
</tr>
<tr>
<td>2  2  4  5  3  3  4  4  7  6</td>
<td>2</td>
</tr>
<tr>
<td>1' 2' 3' 3' 5' 5' 1' 4' 4' 4'</td>
<td>3</td>
</tr>
<tr>
<td>2' 3' 2' 4' 1' 1' 6' 6' 6' 6'</td>
<td>1</td>
</tr>
</tbody>
</table>

اتصالات
- PULLUP
- PULLDOWN

شکل 7- پایه‌سازی تابع منطقی

ترانزیستور که در جدول، مجاز می‌شود چه در pd و چه در pu متصل به pd و در رایگان بعد گره‌های pu را مشخص می‌کنید. به این ترتیب گره‌های در طرف ورودی G در pu گره‌های 4 و است و در pd گره‌های 1 و 2 است. به این ترتیب سورس و اکر گره مشترک پین در W و رودی که در جدول در مجاورت هم نیستند وجود داشته باشد. ابتدا با اتصال فلز آن در ترانزیستور را به هم متصل کرد. این وضعیت برای دریافت ترکیبی مشترکهای G و pd لازم است. در ناحیه pd اکر در W در بنا به این منطقی است که در ترانزیستور سوایی مختصات. این وضعیت برای

4

احتمال، سال 1381، شماره 12، اسفند
جدول 2- همبندی شماره 2 برای تابع

<table>
<thead>
<tr>
<th>A</th>
<th>B</th>
<th>C</th>
<th>D</th>
<th>G</th>
<th>H</th>
<th>F</th>
<th>E</th>
<th>I</th>
<th>J</th>
<th>اتصالات</th>
</tr>
</thead>
<tbody>
<tr>
<td>3</td>
<td>3</td>
<td>6</td>
<td>7</td>
<td>4</td>
<td>4</td>
<td>5</td>
<td>3</td>
<td>1</td>
<td>1</td>
<td>1</td>
</tr>
<tr>
<td>4</td>
<td>6</td>
<td>7</td>
<td>4</td>
<td>2</td>
<td>2</td>
<td>4</td>
<td>5</td>
<td>3</td>
<td>3</td>
<td>2</td>
</tr>
<tr>
<td>1</td>
<td>2</td>
<td>2</td>
<td>2</td>
<td>3</td>
<td>4</td>
<td>5</td>
<td>5</td>
<td>6</td>
<td>5</td>
<td>PULLUP</td>
</tr>
<tr>
<td>2</td>
<td>3</td>
<td>3</td>
<td>3</td>
<td>4</td>
<td>5</td>
<td>1</td>
<td>1</td>
<td>6</td>
<td>3</td>
<td>PULLDOWN</td>
</tr>
</tbody>
</table>

جدول 3- همبندی شماره 3 برای تابع

<table>
<thead>
<tr>
<th>G</th>
<th>H</th>
<th>F</th>
<th>E</th>
<th>I</th>
<th>J</th>
<th>B</th>
<th>C</th>
<th>D</th>
<th>A</th>
<th>اتصالات</th>
</tr>
</thead>
<tbody>
<tr>
<td>4</td>
<td>4</td>
<td>9</td>
<td>3</td>
<td>1</td>
<td>1</td>
<td>3</td>
<td>6</td>
<td>7</td>
<td>3</td>
<td>1</td>
</tr>
<tr>
<td>2</td>
<td>2</td>
<td>4</td>
<td>5</td>
<td>3</td>
<td>6</td>
<td>7</td>
<td>4</td>
<td>4</td>
<td>2</td>
<td></td>
</tr>
<tr>
<td>1</td>
<td>2</td>
<td>3</td>
<td>3</td>
<td>3</td>
<td>5</td>
<td>1</td>
<td>1</td>
<td>4</td>
<td>3</td>
<td></td>
</tr>
<tr>
<td>2</td>
<td>3</td>
<td>4</td>
<td>4</td>
<td>4</td>
<td>5</td>
<td>1</td>
<td>6</td>
<td>6</td>
<td>6</td>
<td>PULLDOWN</td>
</tr>
</tbody>
</table>

جدول 4- همبندی شماره 4 برای تابع

<table>
<thead>
<tr>
<th>D</th>
<th>C</th>
<th>B</th>
<th>A</th>
<th>G</th>
<th>H</th>
<th>F</th>
<th>E</th>
<th>I</th>
<th>J</th>
<th>اتصالات</th>
</tr>
</thead>
<tbody>
<tr>
<td>7</td>
<td>6</td>
<td>3</td>
<td>3</td>
<td>4</td>
<td>4</td>
<td>5</td>
<td>3</td>
<td>1</td>
<td>1</td>
<td>1</td>
</tr>
<tr>
<td>4</td>
<td>7</td>
<td>3</td>
<td>4</td>
<td>2</td>
<td>2</td>
<td>4</td>
<td>5</td>
<td>3</td>
<td>3</td>
<td>2</td>
</tr>
<tr>
<td>1</td>
<td>1</td>
<td>1</td>
<td>2</td>
<td>3</td>
<td>4</td>
<td>5</td>
<td>5</td>
<td>5</td>
<td>6</td>
<td>PULLUP</td>
</tr>
<tr>
<td>2</td>
<td>2</td>
<td>2</td>
<td>3</td>
<td>4</td>
<td>5</td>
<td>1</td>
<td>1</td>
<td>6</td>
<td>3</td>
<td>PULLDOWN</td>
</tr>
</tbody>
</table>

چاپی‌اند. با چا به چا کردن گره تغذیه و خروجی تنظیم‌پذیری در سیر اولیه داده نمی‌شود ویل تأثیرات زیادی روی سرعت مدار می‌تواند ایجاد شود. نرم‌افزار گره را به عنوان خروجی اعلام می‌کند که تعداد اتصالات کمتری به ناحیه تغذیه دارد.

5- تیپ‌های گره

همان‌گونه که مشاهده می‌شود، در این مقاله، کامبیژ

ترانزیستورهای I و J در ناحیه pu وجود دارد که هر یک دارای گره‌های 1 و 3 مختص.

جدول (1) محل اتصالات ناحیه تغذیه و خروجی را نشان می‌دهد. سرنوشت پایان‌گیری جدول این مثال در زیر خوانده می‌شود.

<table>
<thead>
<tr>
<th>اتصالات</th>
<th>pu</th>
</tr>
</thead>
<tbody>
<tr>
<td>PULLUP</td>
<td>2</td>
</tr>
<tr>
<td>PULLDOWN</td>
<td>3</td>
</tr>
</tbody>
</table>

برای ناحیه pu اتصال به خط تغذیه را گره 2 و اتصال به خروجی را گره 1 معرکه کرده است. این اتصالات در ناحیه pd گره‌های 3 و 1 مختص.

25

استقلال، سال 1381، شماره 21، اسفند
روش آمارا مشخص شد. ممکن است این کامیابی یا عدم برونیتی در پایان مسیر در مواردی که مسیر وجود دارد. الگوریتم‌های زیادی برای سرویس روشن آمارا در مقالات مشاهده شده. اگر در پایان کامیابی این کامیابی رهگذر شده است. در این مقاله گردیده است. الگوریتم‌های زیادی برای سرویس اولوری وجود داشته باشد، سیستم‌های اولوری یک راه اندازی می‌دهند. در صورت عدم وجود مسیر مجازی، پیشنهاد یک راه برای سرویس اولوری می‌گردد. نتیجه به توصیه تکنیکی در ناحیه تغییرات ایجاد می‌کند.

در روند روشن که در [11] در آنان بصورت منطبق درصد موارد به جواب می‌رسد، الگوریتم حاضر برای تمام سیستم‌های جواب مهم با توجه شده کرده است. با توجه آزمایشی سیستم می‌گردد. نتیجه به توصیه تکنیکی در ناحیه تغییرات ایجاد می‌کند.


ویژه نامه


12. سهاری، ش. و ترکیب‌الفل، "ارائه یک تکنیک جدید برای پایان‌یافتن سفر از اولین در طراحی مدار‌های منطقی CMOS", مجموعه مقالات همایش کنفرانس مهندسی برق، جلد اول، ص 190-197, 1379.